

$$(1 + \lambda V_{DS}), V_{GS} > V_{TH} \& V_{DS} < V_{GS} - V_{TH}$$

$$I_{DS} = \frac{\mu C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}),$$

$$V_{GS} > V_{TH} \& V_{DS} > V_{GS} - V_{TH} \quad (1)$$

上述表达式中,除了器件参数,漏源极电流  $I_{DS}$  仅与栅极电压  $V_{GS}$  和漏源极电压  $V_{DS}$  有关;迁移率  $\mu$  是常数,并没有反映 4H-SiC/SiO<sub>2</sub> 界面特征对  $I_{DS}$  的影响,而图 1 的子电路模型中其他元件在以往文献的建模过程中也未考虑此影响.本文对上述表达式中的迁移率  $\mu$  进行修改,分别考虑了体晶格散射、表面声子散射、表面粗糙度散射以及界面态电荷的库伦散射对迁移率的影响,上述散射所对应的迁移率分别用  $\mu_B$ 、 $\mu_{AC}$ 、 $\mu_{SR}$  和  $\mu_C$  来表示,然后利用 Mathiessen 法则,将式(1)中的迁移率  $\mu$  定义如下:

$$\frac{1}{\mu} = \left( \frac{1}{\mu_B} + \frac{1}{\mu_{AC}} + \frac{1}{\mu_{SR}} + \frac{1}{\mu_C} \right) \quad (2)$$

4 种迁移率所对应的表达式、参数及引用的参考文献如表 1 所示.

表 1 四种散射迁移率及所对应的参数

Tab.1 Four mobility components and their parameters

物理量	公式	参数	文献
$\mu_B$	$\mu_B = \mu_{min} + \frac{\mu_{max} - \mu_{min}}{1 + \frac{N_A}{N_{REF}}}$	$\mu_{max} = 950 \text{ cm}^2/\text{Vs}$ $\mu_{min} = 40 \text{ cm}^2/\text{Vs}$ $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ $N_{REF} = 2 \times 10^{17} \text{ cm}^{-3}$	[13]
	$\mu_{AC} = \frac{B}{E_{\perp}} + \frac{CN_A^{\alpha_1}}{TE_{\perp}^{\beta_1}}$	$B = 1.0 \times 10^8 \text{ cm/s}$ $\alpha_1 = 0.0284$ $C = 3.23 \times 10^6$ $\text{kc}m/\text{s}(\text{V}/\text{cm})^{-2/3}$	[14]
$\mu_{SR}$	$\mu_{SR} = \frac{\hbar^{3/2}}{q\pi(\Delta l_c m_t E_{\perp})^2}$	$m_t = 0.8 \times m_0$ $m_0 = 9.1 \times 10^{-31} \text{ kg}$ $q = 1.6 \times 10^{-19} \text{ C}$	[13]
	$\mu_{SR} = \frac{9\hbar}{4E_{\perp}} \frac{l_c}{\Delta^2} \left( \frac{\pi}{m_t m_1} \right)^{1/2}$	$\hbar = h/2\pi$ $h = 6.626 \times 10^{-34} \text{ J}\cdot\text{s}$	
$\mu_C$	$\mu_C = NT^{\alpha} \frac{Q_{inv}^{\beta}}{Q_{trap}}$	$\alpha = 1$ $\beta = 1$ $N = 0.007525 \text{ cm}^2/\text{Vs}$	[13]

表 1 中,界面态密度体现在陷阱电荷  $Q_{trap}$  上,表面粗糙度体现在  $l_c$  和  $\Delta$  上,通过改变这三个参数可以讨论 4H-SiC/SiO<sub>2</sub> 界面特征对 4H-SiC MOSFET 开关特性的影响.迁移率模型中,有效垂

直电场  $E_{\perp}$  和反型层电荷  $Q_{inv}$  通过薄层电荷模型(charge-sheet-model)求得<sup>[15]</sup>,薄层电荷模型是基于表面势建立的,而表面势是栅极电压  $V_{GS}$  的函数<sup>[13, 15]</sup>,因而上述迁移率也是栅极电压的函数,但其中的关系远比现有的 Spice 模型中的迁移率或者跨导与栅极电压的关系要复杂得多,也更能体现栅极电压与迁移率的关系.通过在 LTSpice 仿真软件中建立表面势与栅极电压的关系,参照文献[13]建立薄层电荷模型求得  $E_{\perp}$  和  $Q_{inv}$ ,然后根据式(1)和(2),改写图 1 中内核 M1 的电流方程,并将图 1 的子电路模型进行封装,定义为一个可以更改 4H-SiC/SiO<sub>2</sub> 界面参数的 4H-SiC MOSFET 的 Spice 模型,该模型可以应用于各种开关电路,并可以讨论界面参数对电路特性的影响.

## 2 模型验证与应用

本文以美国 Cree 公司商业化的、型号为 C2M0080120D 的 4H-SiC MOSFET 为参照对象,建立 4H-SiC MOSFET 的 Spice 模型,并用该 MOS 管的产品手册验证模型的静态特性,用该 MOS 管搭建实验电路验证模型的动态特性.

### 2.1 静态特性的验证

图 2 是验证本文 4H-SiC MOSFET 的转移特性的电路图,电路参数分别为:  $V_1$  为斜率 2.5V 的线性电压源,  $V_2$  为 20 V 的直流电压源,  $R_1$  为 0.1 m $\Omega$  电阻,器件的结温分别设定为 25 $^{\circ}\text{C}$  和 150 $^{\circ}\text{C}$ .仿真数据和产品手册的数据<sup>[16]</sup>对比曲线如图 3 所示.由图 3 可以看出,本文所建立的 4H-SiC MOSFET 的 Spice 模型的转移特性与产品手册中的转移特性有较好的吻合度.

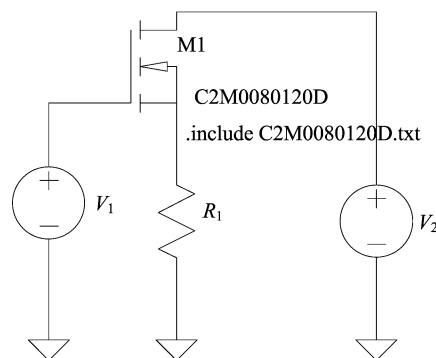


图 2 转移特性仿真电路

Fig.2 Simulation circuit of verifying transfer characteristics

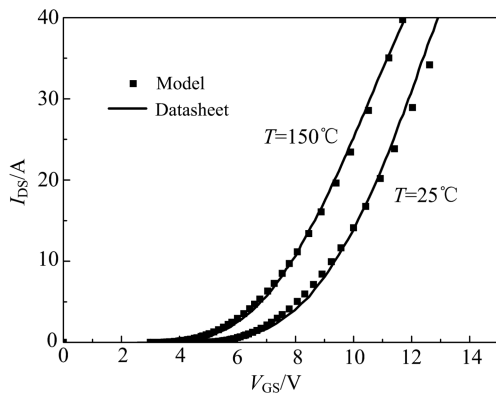


图 3 转移特性曲线的对比

Fig.3 Comparison of transfer characteristics between this developed Spice model with C2M0080120D datasheet

2.2 动态特性的验证

动态特性的验证采用 DC/DC Boost 变换器电路,主要验证所建立的 4H-SiC MOSFET Spice 模型在开通和关断两个阶段电压波形的准确性.LTspice 仿真电路和实验平台分别如图 4(a)和(b)所示,仿真电路参数和实验电路参数如表 2 所示.表 2 中,仿真电路的电感量比实验电路高出 0.01 mH,这是考虑了实验电路中线路引入的寄生电感,其他电路参数是一致的.通过调整迁移率模型中的界面特性参数,在  $Q_{trap}$  取  $1.39 \times 10^{12} \text{ cm}^{-2}$ ,  $l_c$  和  $\Delta$  分别取 1.1 nm 和 2 nm 时,仿真电路和实验电路的开通和关断波形取

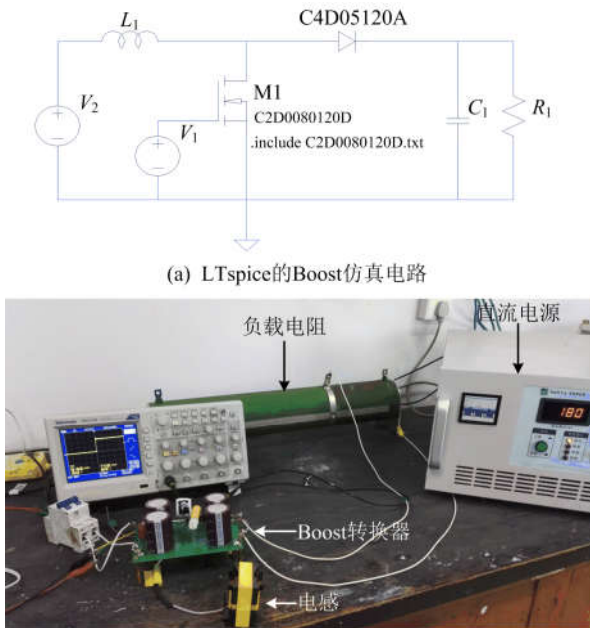


图 4 Boost 仿真电路和实验平台

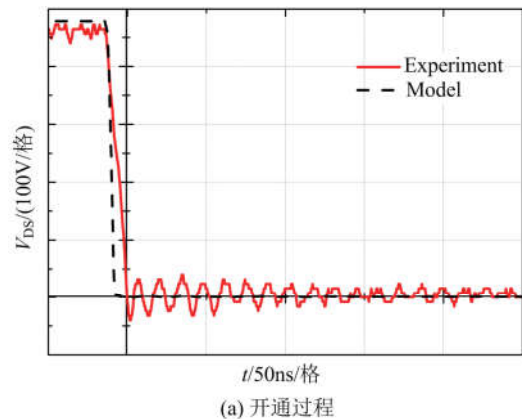
Fig.4 DC/DC Boost converter in LTspice and experimental prototype

得较好的吻合度,分别如图 5(a)和(b)所示.

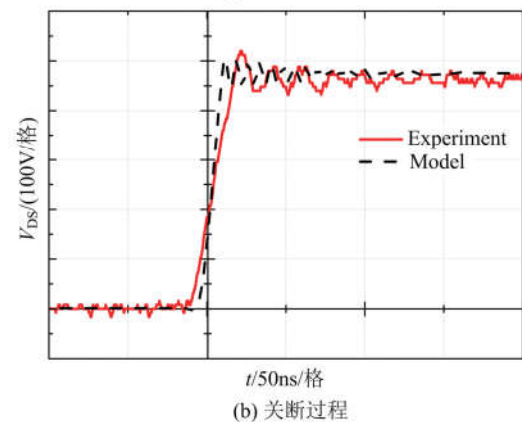
表 2 Boost 的 LTspice 仿真和实验参数

Tab.2 Parameters in DC/DC Boost converter for LTspice and experiment

符号	名称	描述	
		实验	LTspice 仿真
$V_1$	栅极电压 $V_{GS}$	$V_{GS} = 20 \text{ V}$ , 频率 $f = 130 \text{ kHz}$ , 占空比 $D = 62\%$	$V_{GS} = 20 \text{ V}$ , 频率 $f = 130 \text{ kHz}$ , 占空比 $D = 62\%$
$V_2$	直流电源 $V_{DC}$	180 V	180 V
$L_1$	电感	0.5 mH	0.51 mH
$M1$	4H-SiC MOSFET	C2M0080120D	本文的 4H-SiC MOSFET Spice 模型
$D_1$	SiC 肖特基二极管	C4D05120A	Cree 为 LTspice 开发的 Spice 模型
$C_1$	电容	2 $\mu\text{F}$	2 $\mu\text{F}$
$R_1$	负载电阻	290 $\Omega$	290 $\Omega$



(a) 开通过程



(b) 关断过程

图 5 Boost 电路 LTspice 仿真与实验的开通及关断过程波形对比

Fig.5 Comparison of turn-on and turn-off waveforms between LTspice simulation and experiment in DC/DC boost converter

从图 5 可以看出,采用先进迁移率模型的 LTspice 模拟波形和实验电路波形有比较好的吻合度.实验波形有比较大的振荡,这是由于实验电路存在线路的杂散电感,与电路中其他元件产生了谐振.如果忽略此影响,可以认为本文所建立的仿真模型的动态特性与实验波形匹配得比较好.

2.3 模型的应用

功率 MOS 在实际应用中经常要考虑损耗问题,利用精确的 Spice 模型,电路设计人员可以根据不同的电压、频率及工作条件,事先设计好电路或者装置的散热路径.本文所建立的 4H-SiC MOSFET Spice 模型引入了 4H-SiC/SiO<sub>2</sub> 的界面特性参数,利用此模型可以研究界面特性参数对 4H-SiC MOSFET 开关损耗的影响,因而可以给电路设计人员或者器件制造者提供有益的参考.本文首先研究了 4H-SiC/SiO<sub>2</sub> 的界面态密度对 4H-SiC MOSFET 开关损耗的影响.图 6 所示为本文所选取的 3 种受主界面态密度在能级中的分布曲线,分别定义为 Trap0、Trap1 和 Trap2,该界面态密度的分布是近似于目前几种典型的钝化工艺条件下的结果,然后由如下公式计算陷阱电荷<sup>[14]</sup>:

$$Q_{\text{trap}} = \int_{E_c}^{E_i} D_{it}(E) dE \quad (3)$$

式中,  $E_c$  和  $E_i$  分别为导带的最小能级和本征能级.

由式(3)可以计算出图 6 中 3 条不同界面态密度在 300 K 时的陷阱电荷,分别定义为  $Q_{\text{trap}0}$ 、 $Q_{\text{trap}1}$ 、 $Q_{\text{trap}2}$ ,其数值分别为  $2.87 \times 10^{11} \text{ cm}^{-2}$ 、 $1.83 \times 10^{12} \text{ cm}^{-2}$ 、 $1.63 \times 10^{13} \text{ cm}^{-2}$ .

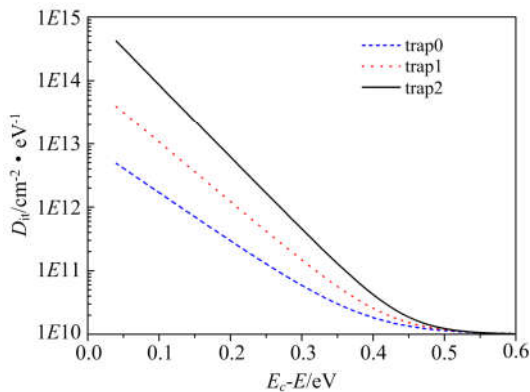


图 6 自定义的 3 种不同界面态密度  
Fig.6 Different  $D_{it}$  for LTspice simulation

利用如图 7 所示的钳位电感开关电路来研究图 6 中 3 种不同的界面态密度对 4H-SiC MOSFET 开关损耗的影响.图 7 中标出了各元件的参数,图 8 是 3 种界面态所对应的漏源极电压  $V_{\text{DS}}$  和漏源极电流

$I_{\text{DS}}$  的开关波形;通过电压和电流的积分,分别计算出 3 种不同界面态的开通损耗、关断损耗以及总损耗,结果如表 3 所示.从表 3 可以看出,随着界面陷阱电荷的增加(对应的是界面态密度  $D_{it}$  的增加),4H-SiC MOSFET 的开通损耗、关断损耗以及总损耗都相应增加;同时,随着界面态密度的增加,器件开通出现延迟,而关断出现提前,并且这两种现象随着界面态密度的增加显得更为明显.文献[17]从实验上对比了有界面态密度和无界面态密度两种 4H-SiC MOSFET 开关波形,也得出了相类似的结果.

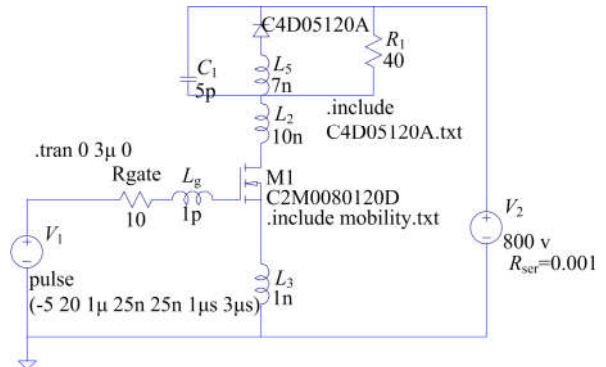


图 7 用于 4H-SiC MOSFET 模拟的钳位电感开关电路

Fig.7 Clamped inductive switching circuit for simulation of 4H-SiC MOSFET's switching loss

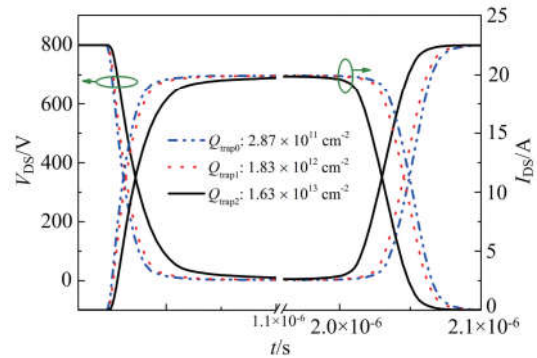


图 8 不同界面态密度所对应的 4H-SiC MOSFET 开关波形  
Fig.8 Switching waveforms of 4H-SiC MOSFET for different  $Q_{\text{trap}}$

表 3 三种  $Q_{\text{trap}}$  对应的 4H-SiC MOSFET 开关损耗

Tab.3 The switching loss of 4H-SiC MOSFET for different  $Q_{\text{trap}}$

陷阱电荷 $Q_{\text{trap}} / \text{cm}^{-2}$	开通损耗 /W	关断损耗 /W	总损耗 /W
$Q_{\text{trap}0}$ ( $2.87 \times 10^{11}$ )	17.58	19.74	52.16
$Q_{\text{trap}1}$ ( $1.83 \times 10^{12}$ )	20.51	20.43	56.35
$Q_{\text{trap}2}$ ( $1.63 \times 10^{13}$ )	37.28	22.30	84.72

高密度的界面陷阱俘获了沟道中更多的自由电子,使得沟道中的自由电子数量减少,以致强反型需要更高的栅极偏置电压,因此开通时出现延迟,  $V_{DS}$  下降变慢;同时,当受主陷阱俘获自由电子后,形成了负电荷中心,增强了对沟道中自由电子的散射作用,降低了载流子的运动速度,使器件的通态电流 ( $I_{DS}$ ) 上升率变慢。当高密度的界面陷阱俘获沟道中更多的自由电子后,在同样的栅极电压和漏源极电压作用下,高密度界面陷阱器件沟道中自由电子数量比低密度界面陷阱器件少,因而当栅极驱动电压消失后,界面陷阱密度更高的器件快速关断。

在 MOS 管的实际应用中,为了提高装置的容量,经常需要对器件进行并联或者串联,而器件的并联或者串联对管子的开通和关断的同步性要求非常高,本文建立的模型模拟界面态密度对 4H-SiC MOSFET 开通和关断的影响,可以为器件的并联或者串联设计提供有益的指导。

基于图 7 的电路,我们模拟了栅极电压  $V_{GS}$  对 4H-SiC MOSFET 开关损耗的影响,结果如图 9 所示。从图 9 可以看出,当栅极电压低于 20 V 时,开关损耗受栅极电压的影响比较大,当栅极电压高于 20 V 后,栅极电压对损耗的影响并不明显;另一方面,当陷阱电荷  $Q_{trap}$  较小时(对应的界面态密度较小),比如  $Q_{trap0}$  和  $Q_{trap1}$ ,栅极电压对损耗的影响明显没有高陷阱电荷  $Q_{trap2}$  的影响大。

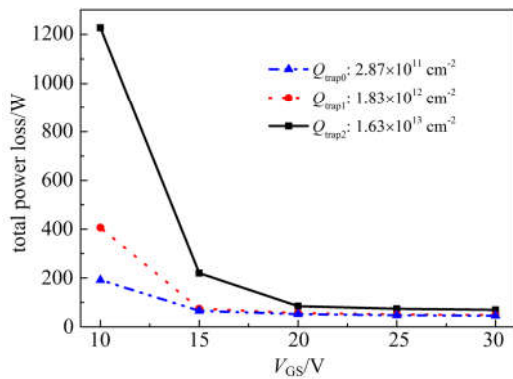


图 9 不同界面态密度下栅极电压  $V_{GS}$  对 4H-SiC MOSFET 开关损耗的影响

Fig.9 Effect of  $V_{GS}$  on the switching loss of 4H-SiC MOSFET for different  $Q_{trap}$

我们从上述两个模拟过程可以看到,减小 4H-SiC/SiO<sub>2</sub> 的界面态密度和增加栅极电压可以减小 4H-SiC MOSFET 的开关损耗,但是栅极电压增加到 20 V 以上时对减小损耗的效果并不明显,反而会增加驱动电路的复杂性,因而栅极电压为 20 V 对驱

动型号为 C2M0080120D 的 4H-SiC MOSFET 是比较合适的值;同时,当界面态密度降到一定程度时,如图 6 中 trap0 对应的界面态密度分布,再进一步减小界面态密度对降低器件的开关损耗的效果并不明显。

下面我们利用所建立的模型讨论另外一个 4H-SiC/SiO<sub>2</sub> 界面参数(表面粗糙度)对 4H-SiC MOSFET 开关损耗的影响。表面粗糙度有两个关键参数,一个是波距  $l_c$ ,一个是最大不平整度  $\Delta$ ,表面粗糙度迁移率  $\mu_{SR}$  对应不同的  $l_c$  有两种表达式,如表 1 中所示。我们选取 5 组不同、依次递增的  $l_c$  和  $\Delta$ ,  $Q_{trap}$  值固定为  $2.87 \times 10^{11} \text{ cm}^{-2}$ ,并采用图 7 的钳位电感开关电路,通过对电压  $V_{DS}$  波形和电流  $I_{DS}$  波形的积分,计算出对应的开关损耗,其结果如表 4 所示。从表 4 可以看出,表面粗糙度的两个参数增加了数十倍,但是 4H-SiC MOSFET 的开关损耗并没有出现明显增加,这说明表面粗糙度不会对 4H-SiC MOSFET 开关特性产生显著的影响。

表 4 五组  $l_c$  和  $\Delta$  对应的 4H-SiC MOSFET 开关损耗

Tab.4 Switching loss of 4H-SiC MOSFET for different  $l_c$  and  $\Delta$

参数/nm	$l_c = 14$	$l_c = 30$	$l_c = 70$	$l_c = 100$	$l_c = 200$
$\Delta$	1.09	1.48	3.59	5.15	11.3
总损耗/W	52.13	52.18	52.22	52.25	52.30

文献[18]研究了式(1)中 4 种迁移率对 4H-SiC MOSFET 的反型层迁移率  $\mu_{inv}$  的作用,指出  $\mu_{inv}$  主要受库伦散射迁移率  $\mu_C$  的影响,对表面粗糙度迁移率  $\mu_{SR}$  的影响不大;文献[19]通过实验结果指出, SiC/SiO<sub>2</sub> 界面的表面粗糙度对场效应迁移率没有太大的影响。迁移率是影响场效应器件开关特性的重要参数,理论和实验证明,表面粗糙度散射并不会明显影响器件的迁移率,也就不会明显影响器件的开关特性,这和本文的模拟结果相符合。

### 3 结论

本文提出了一种基于先进迁移率模型的 4H-SiC MOSFET Spice 模型,该模型在 MOSFET 的 Spice Level-1 模型的基础上,通过考虑 4H-SiC/SiO<sub>2</sub> 的实际界面特性,将界面态密度和表面粗糙度引入模型中,产品数据手册和实验电路验证了模型的准确性,并利用该模型研究了界面特性参数对 4H-SiC MOSFET 开关特性的影响,结果表明,界面态密度是影响器件开关特性的重要参数。该模型的

研究结果能够为电路设计人员和器件制造人员提供有益的参考。

#### 参考文献(References)

- [1] 胡林辉, 谢家纯, 王丽玉, 等. 4H-SiC 肖特基势垒二极管温度特性研究[J]. 中国科学技术大学学报, 2003, 33(6): 688-691.  
HU Linhui, XIE Jiachun, WANG Liyu, et al. Temperature characteristics of 4H-SiC Schottky barrier diodes [J]. Journal of University of Science and Technology of China, 2003, 33(6): 688-691.
- [2] 徐军, 谢家纯, 董小波, 等. 宽禁带 SiC 肖特基势垒二极管的研制[J]. 中国科学技术大学学报, 2002, 32(3): 320-323.  
XU Jun, XIE Jiachun, DONG Xiaobao, WANG Keyan, et al. Ni Schottky barrier diodes on n-type 4H-Silicon Carbide[J]. Journal of University of Science and Technology of China, 2002, 32(3): 320-323.
- [3] 孙凯, 陆钰晶, 吴红飞, 等. 碳化硅 MOSFET 的变温度参数建模[J]. 中国电机工程学报, 2013, 33(3): 37-43.  
SUN Kai, LU Juejing, WU Hongfei, et al. Modeling of SiC MOSFET with temperature dependent parameter[J]. Proceedings of the CSEE, 2013, 33(3): 37-43.
- [4] WANG J, ZHAO T, LI J, et al. Characterization, modeling and application of 10 kV SiC MOSFET[J]. IEEE Transactions on Electron Devices, 2008, 55(8): 1798-1805.
- [5] PUSHPAKARAN B N, BAYNE S, OGUNNIYI A A, et al. Physics-based simulation of 4H-SiC DMOSFET structure under inductive switching [J]. Journal of Computational Electronics, 2016, 1(15): 191-199.
- [6] POTBHARE S, GOLDSMAN N, LELIS A, et al. A physical model of high temperature 4H-SiC MOSFETs [J]. IEEE Transactions on Electron Devices, 2008, 55(8): 2029-2039.
- [7] LIANG M, ZHENG T, LI Y. An improved analytical model for predicting the switching performance of SiC MOSFETs[J]. Journal of Power Electronics, 2016, 16(1): 374-387.
- [8] OKAMOTO D, YANO H, HIRATA K, et al. Improved inversion channel mobility in 4H-SiC MOSFETs on Si Face utilizing Phosphorus-doped gate oxide[J]. IEEE Electron Device Letters, 2010, 31(7): 710-712.
- [9] YOSHIOKA H, SENZAKI J, SHIMOZATO A, et al. N-channel field-effect mobility inversely proportional to the interface state density at the conduction band edges of SiO<sub>2</sub>/4H-SiC interfaces[J]. AIP Advances, 2015, 5(1): 017109(1-12).
- [10] ROZEN J, AHYI A C, ZHU X G, et al. Scaling between channel mobility and interface state density in SiC MOSFETs [J]. IEEE Transactions on Electron Devices, 2011, 58(11): 3808-3811.
- [11] ARRIBAS A P, SHANG F, KRISHNAMURTHY M, et al. Simple and accurate circuit simulation model for SiC power MOSFETs [J]. IEEE Transactions on Electron Devices, 2015, 62(2): 449-457.
- [12] FU R Y, GREKOV A, HUDGINS J, et al. Power SiC DMOSFET model accounting for nonuniform current distribution in JFET region [J]. IEEE Transactions on Industry Applications, 2012, 48(1): 181-190.
- [13] ARNOLD E. Charge-sheet model for silicon carbide inversion layers [J]. IEEE Transactions on Electron Devices, 1999, 46(3): 497-503.
- [14] PÉREZ-TOMÁS A, BROSELARD P, GODIGNON P, et al. Field-effect mobility temperature modeling of 4H-SiC metal-oxide-semiconductor transistors [J]. Journal of Applied Physics, 2006, 100(11): 114508(1-6).
- [15] YU A Z, WHITE M H, DAS M K. Electron transport modeling in the inversion layers of 4H and 6H-SiC MOSFETs on implanted regions [J]. Solid-State Electronics, 2005, 49(6): 1017-1028.
- [16] Cree, Inc. C2M0080120D Silicon Carbide MOSFET datasheet[EB/OL]. [2015-12], <http://www.wolfspeed.com/c2m0080120d>.
- [17] TANIMOTO Y, SAITO A, MATSUURA K, et al. Power-loss prediction of high-voltage SiC-MOSFET, circuits with compact model including carrier-trap influences [J]. IEEE Transactions on Power Electronics, 2016, 31(6): 4509-4516.
- [18] PÉREZ-TOMÁS A, GODIGNON P, MESTRES N, et al. A field-effect electron mobility model for SiC MOSFETs including high density of traps at the interface [J]. Microelectronic Engineering, 2006, 83(3): 440-445.
- [19] 刘莉, 杨银堂. SiC/SiO<sub>2</sub> 界面形貌对 SiC MOS 器件沟道迁移率的影响[J]. 浙江大学学报, 2016, 50(2): 392-396.  
LIU Li, YANG Yintang. Effect of morphology of SiC/SiO<sub>2</sub> interface on mobility characteristics of MOS devices [J]. Journal of Zhejiang University, 2016, 50(2): 392-396.