

高速接口中多指针弹性缓冲器设计

程国林,常 红,柯导明,张 平

(安徽大学电子信息工程学院,安徽合肥 230601)

摘要: 弹性缓冲器广泛应用于高速接口物理层,一般通过读写指针跳跃和断点保存来完成跳跃字符(SKP)的添加和删除。高速接口对于这种单指针读写的弹性缓冲器有很高的频率要求,容易产生复杂的时序问题。为此基于FPGA,以USB3.0协议为标准,设计了一个具有4个读写指针寻址来实现SKP添加和删除的弹性缓冲器。首先利用输入控制单元改变输入数据中SKP对的排序,输出控制单元改变输出的数据;其次在阈值检测单元中检测弹性缓冲器中的有效数据量是否达到添加或删除的阈值,发出有效指令到读写指针控制单元;最后通过控制4个读写指针寻址来添加和删除数据中的SKP,维持弹性缓冲器的半满状态。实验结果表明,设计的弹性缓冲器可正确实现SKP的添加和删除功能,且时钟频率能够满足USB3.0的协议要求。

关键词: 高速接口;指针;地址;时钟

中图分类号: TP393 **文献标识码:** A **doi:** 10.3969/j.issn.0253-2778.2017.10.008

引用格式: 程国林,常红,柯导明,等. 高速接口中多指针弹性缓冲器设计[J]. 中国科学技术大学学报,2017,47(10):854-861.

CHENG GuoLin, CHANG Hong, KE Daoming, et al. Design of multiple pointer elastic buffer for high-speed interface[J]. Journal of University of Science and Technology of China, 2017, 47(10):854-861.

Design of multiple pointer elastic buffer for high-speed interface

CHENG GuoLin, CHANG Hong, KE Daoming*, ZHANG Ping

(School of Electronics and Information Engineering, Anhui University, Hefei 230601, China)

Abstract: Elastic buffers are widely used in the high speed interface of the physical layer, which usually completes the addition and deletion of skip (SKP) by reading/writing pointer jumping and breakpoint preservation. However, common single pointer elastic buffer must be operated at high frequencies, which would make it easy to create complex timing problems. To solve these problems, based on the FPGA and the USB3.0 protocol, a four read/write pointer addressing elastic buffer to complete the addition and deletion of SKP has been proposed. First, the elastic buffer makes use of the input control unit to change the sequence of the SKP pairs in the input data and the output control unit to change the output data. Then, the threshold detection unit sends the valid instructions to the read/write pointer control unit by checking whether the amount of valid data in the elastic buffer achieves the threshold which is added or deleted. Last, to maintain the elastic buffer in half full state, the SKP in data is added or deleted by controlling the addressing of the four read/write pointers. Experimental results show that the designed

收稿日期: 2016-04-13; 修回日期: 2017-01-10

基金项目: 国家自然科学基金(61376098, 61076086); 安徽省高校自然科学基金(2006KJ012A)资助。

作者简介: 程国林,男,1992年生,硕士生。研究方向: 集成电路设计, E-mail: 1171286549@qq.com。

通讯作者: 柯导明,博士/教授。E-mail: kedaoming@sohu.com。

elastic buffer can achieve the function of SKP addition and deletion, and its clock frequency can satisfy the protocol of Universal Serial Bus 3.0.

Key words: high speed interface; pointer; address; clock

0 引言

弹性缓冲最早是从电话网络中的传输脉冲编码调制 (pulse code modulation, PCM) 信号中提出来^[1], 广泛应用于 USB、PCIE、以太网等高速接口协议^[2]。它的容量大小由时钟频率的偏差大小和特定符号的出现频率共同决定, 可以稳定地同步一个时钟域的数据到另一个时钟^[3]。很多学者对弹性缓冲技术的设计做了研究, 例如, 文献[4]提出通过写指针的暂停和断点保存完成添加操作实现弹性缓冲器。文献[5]提出读写指针屏蔽与握手机制实现弹性缓冲器。在高速接口中, 主要使用文献[4]提出的方法, 但是这种方法在弹性缓冲器中添加 SKP 时, 采用写指针跳跃、断点保存来维持弹性缓冲器的常半满状态。写指针跳跃和断点保存由于实现时需要读、写指针在不同的时钟域进行读写操作, 所以会带来复杂的异步控制电路, 容易产生亚稳态、采样丢失、潜在逻辑错误等不必要的时序问题^[6]。另外, 在高速接口不断发展、频率要求越来越高的情况下, 单指针操作的弹性缓冲器常会因为频率的高要求导致模块复杂性极高, 产生各种未知的错误。针对这一情况, 本文以 USB3.0 协议^[7]为标准, 设计了一个具有 4 个读写指针同时寻址, 并将添加、删除操作分开在不同的时钟域(写指针寻址完成 SKP 删除, 读指针寻址完成 SKP 添加)的弹性缓冲器。首先输入控制单元改变输入 SKP 对的排序, 4 个读、写指针寻址添加和删除数据中的 SKP, 然后输出控制单元改变输出的数据维持弹性缓冲器的常半满状态。通过实验验证, 在一定的时序约束下, 多指针弹性缓冲器能够在 500 MHz 的频率下正确完成 SKP 的添加和删除, 达到 USB3.0 协议的要求。

1 多指针弹性缓冲器原理设计

1.1 多指针弹性缓冲容量

弹性缓冲器有常半满方式和流程控制方式^[8]两种实现方法。流程控制方式是将弹性缓冲器维持在一个底端进入点的状态^[9], 而常半满方式是将弹性缓冲器维持在一个常半满状态^[10], 二者相比较, 常半满的方法降低了电路的复杂性, 有利于可测性设计^[8], 多数学者设计弹性缓冲时均采用这种方式, 因此, 多指针弹性缓冲器采用常半满方式来实现。

USB3.0 规范允许的时钟精度为 -5300 ppm 到 300 ppm, 符号时钟频率为 2000 ps^[11], 在最差情况下每 356 个 symbol 添加或者删除一个 SKP 对。USB3.0 中数据包最长为 1 052 字节, 所以最差情况下, 最多可以添加 4 个 SKP 对, 故弹性缓冲器至少要缓冲 8 个 SKP 字符, 因此通过常半满方式实现的单指针弹性缓冲的深度应设置为 16。本文设计的多指针弹性缓冲器由 4 个读写指针寻址, 故弹性缓冲的深度应当为 64, 在常态下多指针弹性缓冲器有 32 个有效数据, 剩下 32 个为缓冲空间。工作时首先向缓冲中写入 32 个数据达到半满, 然后读使能信号有效, 开始读出数据, 因此读出数据相较于输入数据会有 8 个时钟周期的延迟。当写使能信号无效时立刻停止写入, 等读指针读到最后一个数据时, 停止读出。

1.2 多指针弹性缓冲器原理

弹性缓冲器是读写同时受控的异步常半满 FIFO(first input first output)^[12], 写时钟为恢复时钟, 读时钟为本地时钟^[13]。多指针弹性缓冲器由 4 个读写指针寻址, 深度 64, 位宽为 10 bit, 故需将输入的数据四路分频, 在 FIFO 中对 4 个读写指针处理后, 升频输出。其工作原理如图 1 所示。

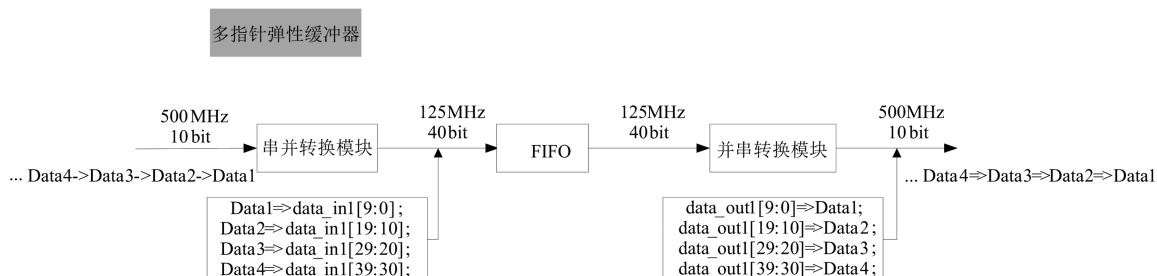


图 1 多指针弹性缓冲器工作原理图

Fig.1 Working principle of multi pointer buffer

正常情况下,FIFO 模块在写使能信号有效时,写指针开始工作,4 个写指针 w_1, w_2, w_3, w_4 ,分别指向 FIFO 中地址的最低位 6'b000000,6'b000001,6'b000010,6'b000011.当数据通过写指针在恢复时钟域写入 FIFO 后,每个写指针地址位加 4,完成写操作.当读使能信号有效时,读指针开始工作,4 个

读指针 r_1, r_2, r_3, r_4 分别指向 FIFO 中地址的最低位 6'b000000,6'b000001,6'b000010,6'b000011.数据通过读指针在本地时钟域从 FIFO 中读出后,每个读指针地址位加 4,完成读操作.常态下由于读写指针频率一致,弹性缓冲器中的有效数据会保持在 32 个,维持在常半满状态.其操作过程如图 2 所示.

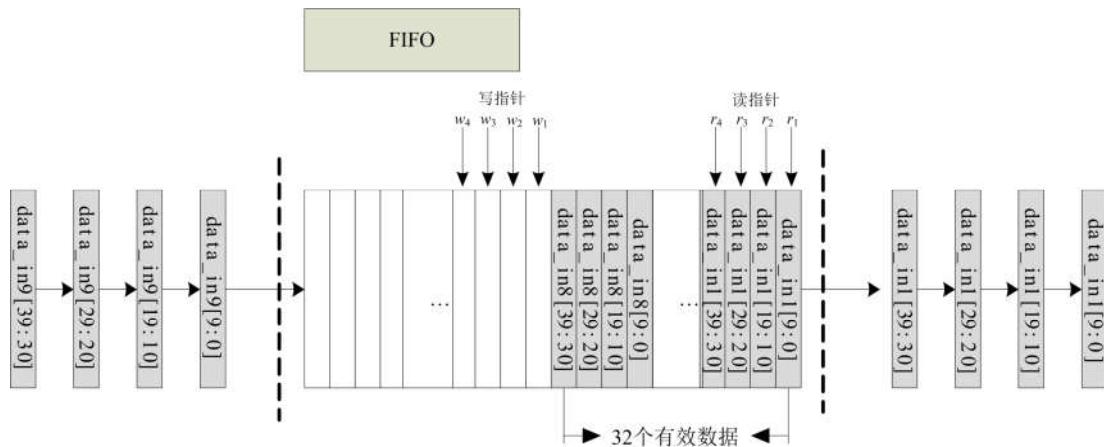


图 2 读写指针频率相同时弹性缓冲器指针操作

Fig.2 Pointer operation of elastic buffer when read and write pointers are of the same frequency

读指针频率大于写指针频率时,从 FIFO 中读出的数据要多于写入数据,一段时间后,FIFO 中有效数据量少于 32,甚至会出现读空的状态.如图 3 所示,由于读指针频率较快,弹性缓冲器中有效数据量仅为 28 个.为了维持常半满状态,多指针弹性缓冲

器在 SKP 检测单元检测到输出数据中存在 SKP 对,且添加指令有效时,每个读指针地址位加 2,然后通过输出控制单元,改变从 FIFO 中读出的数据,以达到添加 SKP 字符的目的,添加完成后读指针恢复正常工作地址位加 4,完成读操作,如图 4 所示.

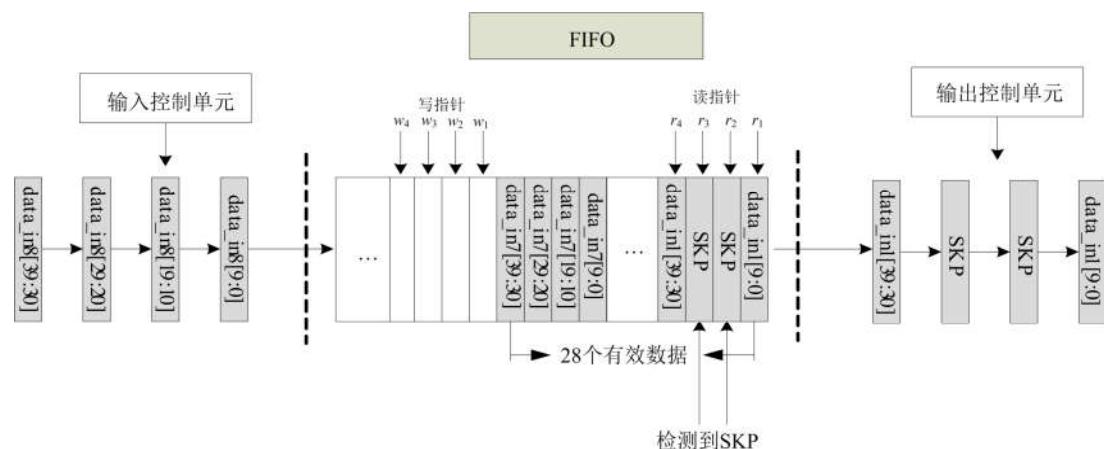


图 3 读指针频率大于写指针频率时弹性缓冲器指针操作

Fig.3 Elastic buffer pointer operation when read pointer frequency is greater than that of write pointer

写指针频率大于读指针频率时,从 FIFO 中读出的数据要少于写入的数据,会出现 FIFO 中有效数据量大于 32 或者 FIFO 写满的状态.如图 5 所示,由于写指针频率较快,弹性缓冲器中有效数据量为 36 个.为了维持弹性缓冲器常半满状态,在 SKP 检测单元检测到输入数据中有 SKP 对且删除指令

有效时,先通过输入控制单元改变输入的 40 bit 数据中 SKP 对的位置,让 SKP 对位于 40 bit 中的后两个 10 bit,然后每个写指针地址位加 2,在下一次恢复时钟上升沿到来时,写入的数据将覆盖掉 SKP 字符,达到删除 SKP 的目的,删除完成后写指针恢复正常工作,地址位加 4,完成写操作,如图 6 所示.

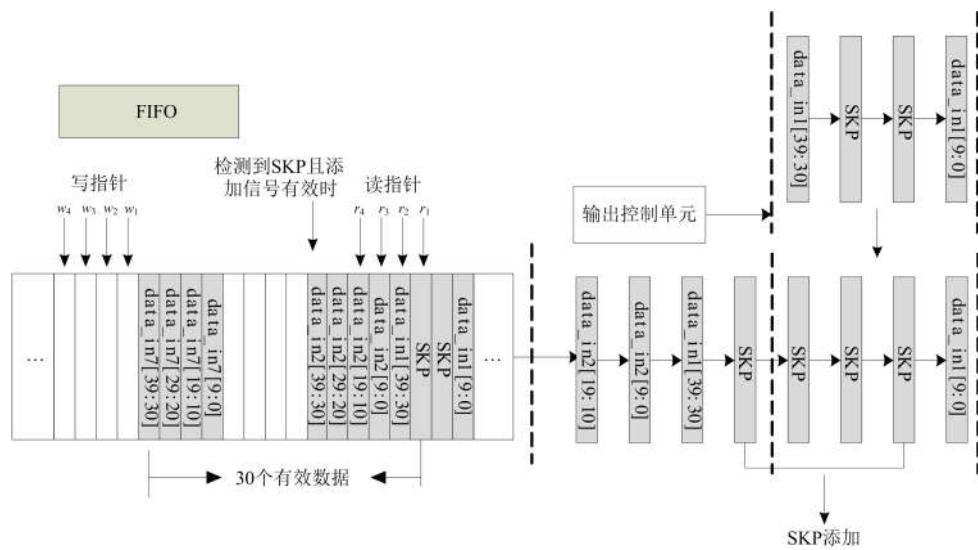


图 4 读指针频率大于写指针频率时弹性缓冲器指针操作结果

Fig.4 Results of elastic buffer pointer operational when read pointer frequency is greater than that of write pointer

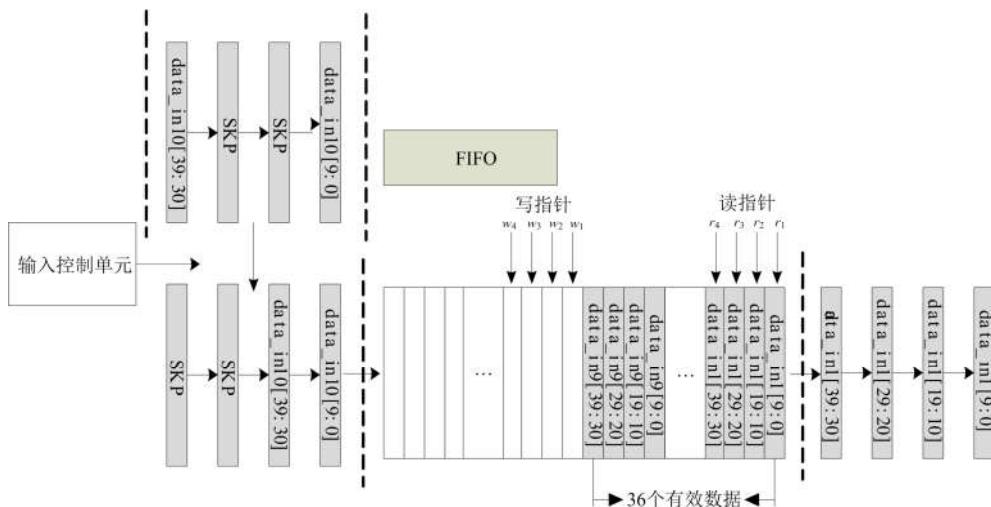


图 5 写指针频率大于读指针频率时弹性缓冲器指针操作

Fig.5 Elastic buffer pointer operation when write pointer frequency is greater than that of read pointer

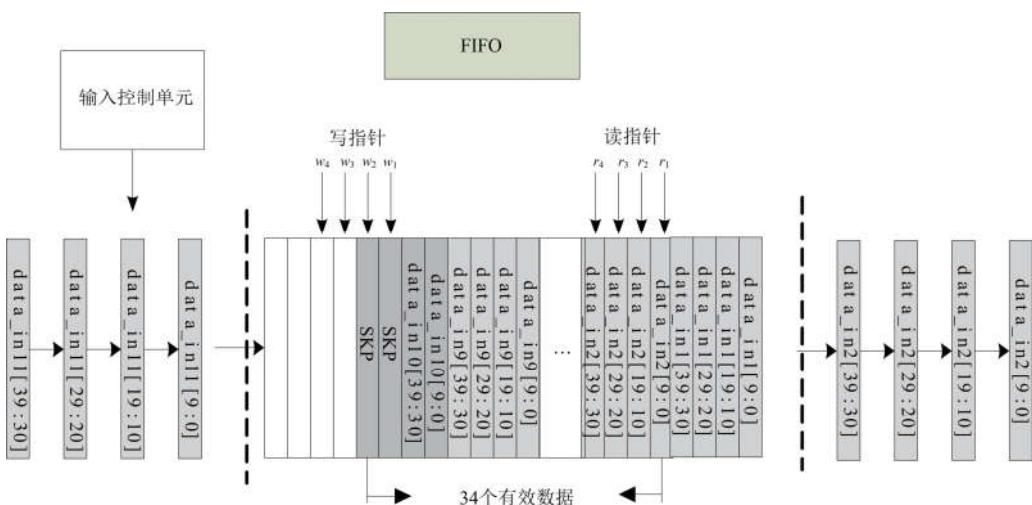


图 6 写指针频率大于读指针频率时弹性缓冲器指针操作结果

Fig.6 Results of elastic buffer pointer operational when write pointer frequency is greater than that of read pointer

2 多指针弹性缓冲器结构设计

四个读写指针同时寻址维持常半满状态的多指针弹性缓冲器按时钟域的不同可分为恢复时钟域和本地时钟域, SKP 的删除发生在恢复时钟域, 而 SKP 的添加则发生在本地时钟域. 如图 7 所示, 多指针弹性缓冲器的结构设计可以分为 SKP 检测单元, 串并转换单元, 输入控制单元, 写指针控制单元, 存

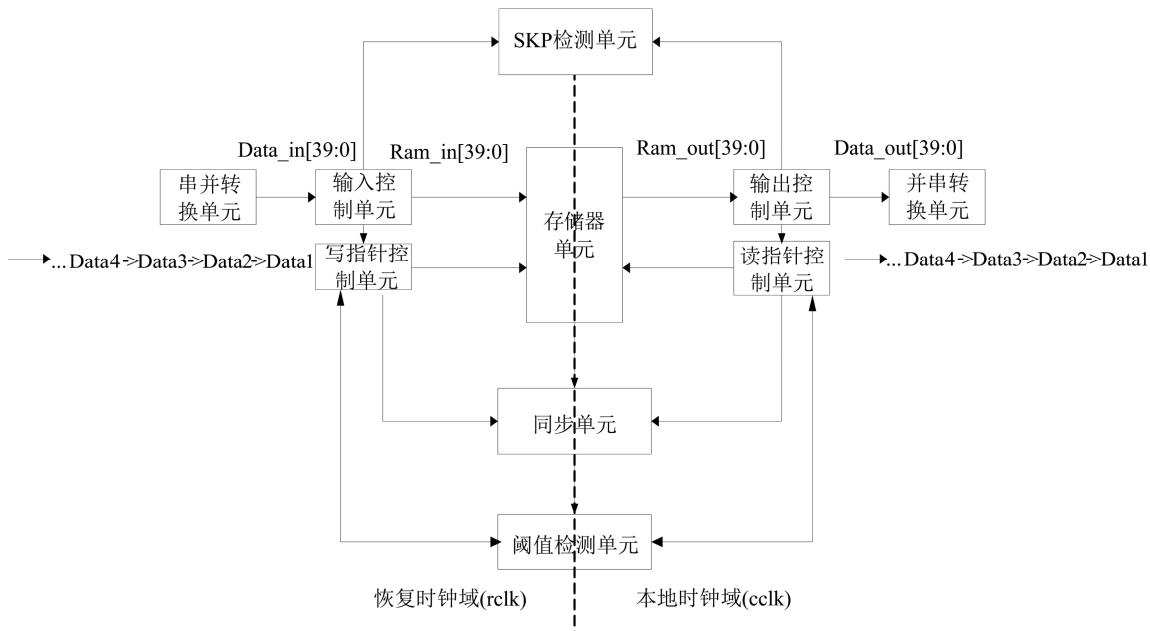


图 7 常半满模式弹性缓冲器结构

Fig.7 Elastic buffer structure with constant half full mode

2.2 串并转换单元

串并转换单元的功能是将连续输入的 4 个 10 bit 数据转换为单个 40 bit 的数据。

2.3 输入控制单元

输入控制单元的功能是改变输入的 40 bit 数据中相邻 10 bit 数据之间 SKP 字符与正常数据的排序。

2.4 写指针控制单元

写指针控制单元的功能是产生写指针及其格雷码，其中写指针用以选定写入的存储单元，并与同步后的读指针比较产生删除 SKP 请求标志。格雷码用于同步到读时钟域产生空标志及 SKP 添加请求标志。写使能信号有效时，写指针控制单元开始工作。若读写时钟频率一致，FIFO 中的有效数据将维持在 32 个。写指针的地址为 $w_3 >= 6'b111100$ 或者 $w_3 <= 6'b000010$ 时，则写指针根据 4 个指针当前地址位确定其在下个写时钟周期上升沿到来时的位置。

2.5 存储器单元

存储器单元是整个弹性缓冲器的基础,由于多

储器单元,同步单元,阈值检测单元,读指针控制单元,输出控制单元,并串转换单元,下面分别介绍各单元模块的功能作用.

2.1 SKP 检测单元

SKP 检测单元是检测输入控制单元和输出控制单元中 40 bit 数据每 10 bit 是否为 SKP 字符, 可用 $\text{SKP1}[3:0]$ 、 $\text{SKP2}[3:0]$ 表示, 为 SKP 的添加、删除提供了标志, 可通过组合逻辑电路来实现。

指针弹性缓冲器用 4 个读写指针寻址,故设计的 FIFO 深度为 64,位宽为 10 bit. 使用全局复位信号初始化存储单元,无需读写使能,选中即可读写数据.

2.6 同步单元

同步单元的作用是将写指针的格雷码同步到读时钟域，并与读指针格雷码比较，以产生空标志，这里的同步过程采用读时钟采样一次的方式实现。用同样的方法可将读指针同步到写时钟域，并与写指针格雷码比较，产生满标志。同时，同步单元还将同步后的读、写指针格雷码转换成二进制自然码输出。

2.7 阈值检测单元

阈值检测单元的作用是检测 FIFO 中有效数据的数量，并根据其数量与 32 的差值决定是否产生 SKP 添加/删除请求标志。为了避免亚稳态的产生，使用写时钟同步后的读指针与写指针比较产生 SKP 删除请求标志，经读时钟同步的写指针与读指针比较产生 SKP 添加请求标志，因为写指针总是先于读指针，所以差值由写指针（同步后）减去读指针

(同步后)产生.

2.8 读指针控制单元

读指针控制单元的主要功能是产生读指针及其格雷码,其中读指针用以选定要读出的存储单元,并于同步后的写指针比较产生添加 SKP 请求标志.格雷码用于同步到写时钟域产生满标志及 SKP 删除请求标志.读使能信号有效时,读指针控制单元开始工作.若读写时钟同步,FIFO 中的有效数据将维持在 32 个.若读指针的地址为 $r_3 >= 6'b111100$ 或者 $r_3 <= 6'b000010$,在下个读时钟周期上升沿到来时,读指针将依据 4 个指针当前不同的地址置位来确定.

2.9 输出控制单元

输出控制单元的功能为当缓冲器进行添加操作时,根据输出数据 SKP 对位置的不同改变输出的数据,添加 SKP 让输出数据不发生混乱.

2.10 串换单元

并串换单元的功能是将输出控制单元输出的 40 bit 的数据转换为 4 个 10 bit 的数据输出.

3 多指针弹性缓冲流程设计

多指针弹性缓冲器深度为 64,位宽为 10 bit,操作流程如图 8 和图 9 所示.图 8 是写指针操作流程.首先,写使能信号有效且复位信号为高电平,写指针开始工作,输入数据写入 FIFO,每个写指针地址加 4,完成数据的写操作;然后检测数据是否写满,如果数据写满,则写指针暂停一个时钟.如果数据不满,但写指针已经处于 $w_4 >= 6'b111100$ 或者 $w_4 <= 6'b000010$ 状态,则根据当前写指针位置,在下个时钟上升沿到来时对写指针进行置位.否则检测删除(Del)信号和输入数据的 SKP 标志是否有效,在其有效时,先通过输入控制单元调整输入的数据中 SKP 对的顺序,然后每个写指针地址加 2,完成删除操作.

图 9 是读指针操作流程.在读使能信号有效且复位信号置高时读指针开始工作,FIFO 中的数据通过读指针寻址读出,每个读指针地址加 4,完成数据读操作;然后检测读指针是否读空,读指针读空,则读指针暂停一个时钟;如果读指针非空且读指针已经处于 $r_4 >= 6'b111100$ 或者 $r_4 <= 6'b000010$ 的状态,则根据当前读指针位置;在下个时钟上升沿到来时对读指针进行置位.否则,检测添加信号和输出数据的 SKP 标志是否有效,若有效,先通过输出控制单元对输出的数据控制输出,然后每个读指针地址加 2,完成添加操作.

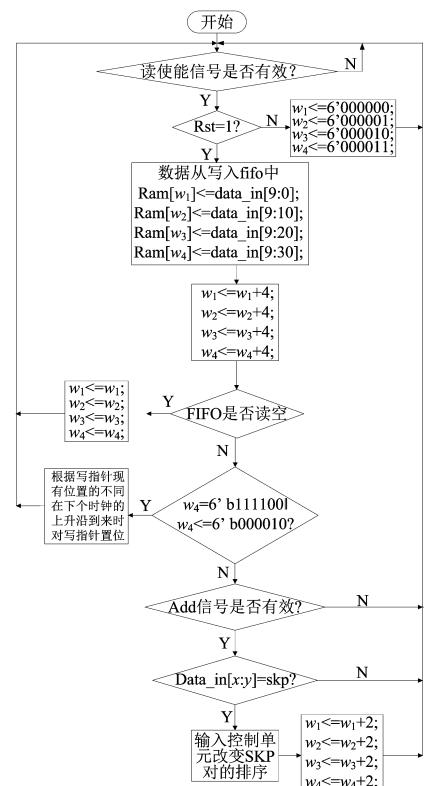


图 8 写操作流程设计图

Fig.8 Write pointer operation process

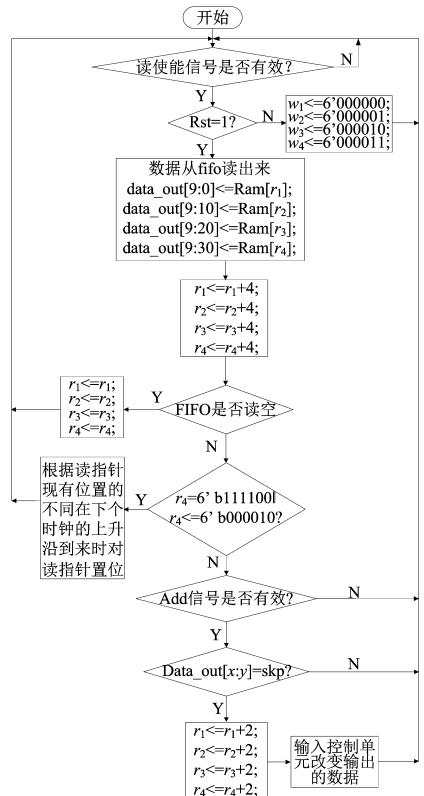


图 9 读操作流程设计图

Fig.9 Read pointer operation process

4 多指针弹性缓冲器的验证与测试

多指针弹性缓冲器在 Quartus II 中完成 Verilog HDL 编程设计的输入、综合及时序约束,用 ModelSim 做功能仿真和时序仿真,时序仿真时选用的是 Altera 的 Cyclone-IV FPGA 的 EP4CE6F17C8N 芯片,给定 USB 3.0 协议要求下的频率,给定逻辑门延迟及高温的极端环境下仿真验证。得到的波形如图 10~13 所示。图 10 表示 FIFO 中输入的数据含有 SKP 字符(of9,306),且添

加信号有效。图 11 表示读指针已经完成添加操作,输出数据中可以看到添加的 SKP 字符,并且添加信号已经由高跳变为低。图 12 表示输入的数据中含有 SKP 字符,写指针在删除信号有效时地址加 2 完成删除操作,删除信号在删除操作完成后由高跳变为低。图 13 表示输出的数据中 SKP 字符已经删除,维持了弹性缓冲器的常半满状态。通过测试可以看出,弹性缓冲器在读写指针频率不一致时,可以正确地完成 SKP 字符的添加和删除过程,维持缓冲器半满状态达到所设计的要求。

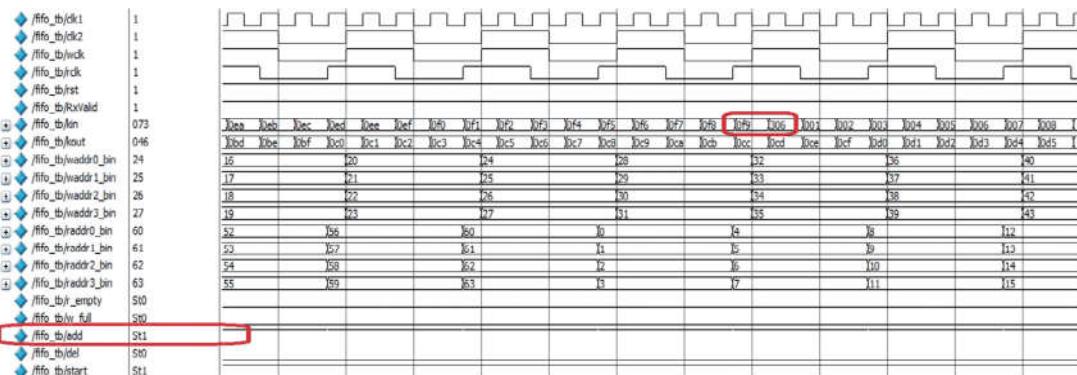


图 10 FIFO 中 SKP 添加信号有效且输入数据中有 SKP 字符

Fig.10 SKP adds the signal effectively and the input data has SKP characters In FIFO

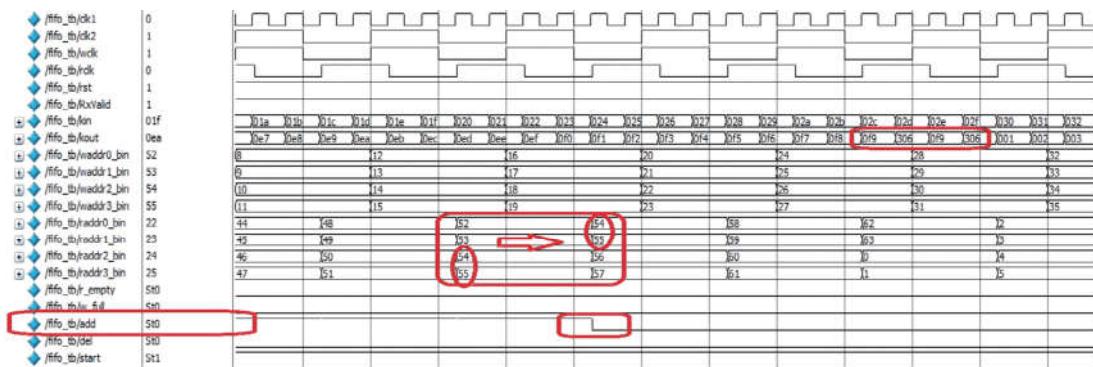


图 11 FIFO 中读指针变化、SKP 字符添加成功且添加使能信号变为低电平

Fig.11 Change of reading pointer in FIFO and the SKP character is added successfully and the enable signal is changed to low level

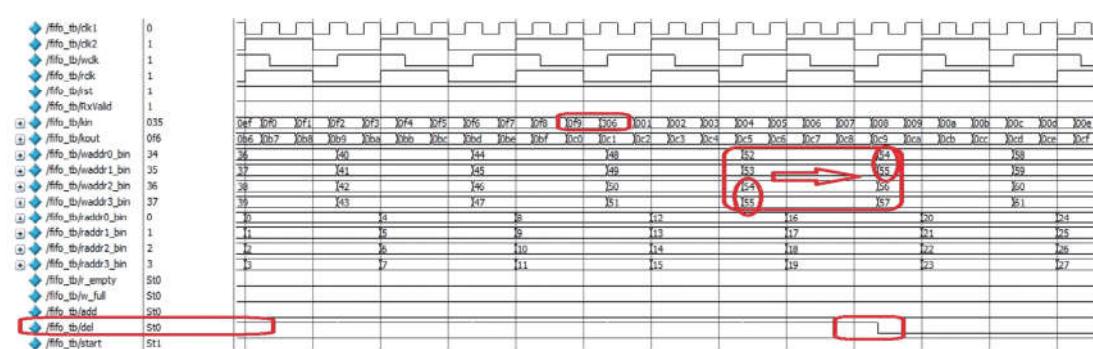


图 12 FIFO 中 SKP 删除信号有效且输入数据中有 SKP 字符

Fig.12 SKP delete signal valid in FIFO and the input data has SKP characters

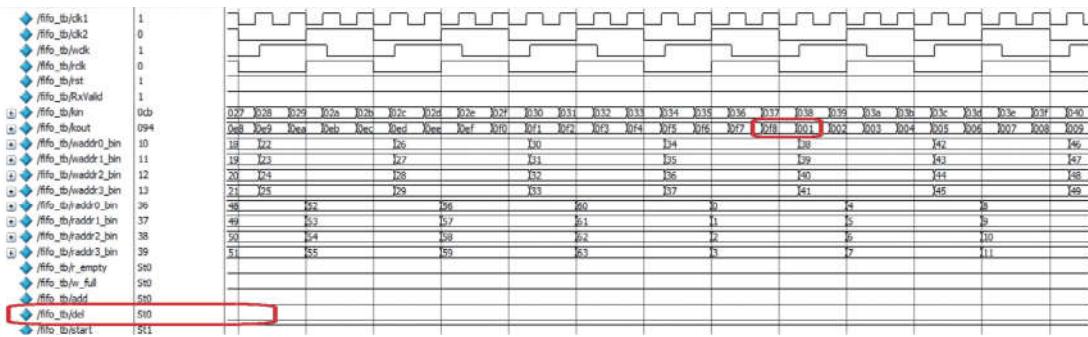


图 13 FIFO 中删除 SKP 字符

Fig.13 Deleting SKP characters in FIFO

5 结论

本文讨论了多指针弹性缓冲器的原理与实现方法,验证该弹性缓冲器可正确完成 SKP 特定字符的添加和删除,在 USB 3.0 协议规定的频率下能维持缓冲器在半满状态。本设计工作意义在于充分考虑了 USB3.0 协议对弹性缓冲器的高速率要求,在总时钟频率不变的情况下,采用 4 个读写指针同时读写数据,降低了 FIFO 中读写操作的频率,实现了弹性缓冲频率补偿的目的。另外,对本文设计的多指针弹性缓冲结构稍作修改就能应用于其他高速接口,因此本文的研究结论具有一定的工程应用价值。

参考文献(References)

- [1] WINKLES J. Elastic buffer implementations in PCI express devices [EB/OL]. [2017-10-18], <http://www.doc88.com/p-781379861436.html>, Mindshare Inc.
- [2] 彭琰,曾云,王太宏,等.基于 HID 类 USB 外设功能控制器的 ASIC 设计[J].微电子学与计算机,2009, 26(4): 15-18.
- [3] Wikipedia. USB [EB/OL]. [2011-09-28], <http://en.wikipedia.org>.
- [4] 朱小明,王小力,程曾.USB3.0 物理层中弹性缓冲器的设计与实现[J].微电子学与计算机,2012, 29(6): 117-121.
- [5] 邢辉.弹性缓冲在 USB3.0 物理层中设计与实现[EB/OL].北京:中国科技论文在线,2012.
- [6] 廖艳,王广君,高杨.FPGA 异步时钟设计中的同步策略[J].自动化技术与应用,2006, 25(1): 67-68.
- [7] Universal Serial Bus 3.0 Specification. 112009004327.5 [P]. USA: HP Company, 2008.
- [8] 郑乾,晏敏,赵建中,等.基于 PCIE2.0 的物理层弹性缓冲器设计[J].计算机工程,2014, 40(10): 71-75.
- [9] MICHELOGIANNAKIS G, BALFOUR J, DALLY W J. Elastic buffer flow control for On-chip Network [C]// The 15th International Symposium on High Performance Computer Architecture. Raleigh, USA: IEEE, 2009: 151-162.
- [10] 刘奇浩,翁慧辉,张峰,等.65nm 工艺下基于 PCI Express2.0 协议的物理层编码子层设计[J].中国集成电路,2013, 22(3): 41-45.
- [11] WOODRAL D E. Elastic buffer module for PCI express devoices, 7281077B2 [P]. USA, 2007.
- [12] CUMMINGS C E. Simulation and synthesis techniques for as synchronous FIFO design with asynchronous pointer comparisons [EB/OL]. [2017-10-18], http://read.pudn.com/downloads116/doc/495591/asyn_FIFO.pdf.
- [13] 郑争兵.基于 FPGA 的高速采样缓存系统的设计与实现[J].计算机应用,2012, 32(11): 3259-3261.